

特許出願中

Q2-58259

Feb. 27, 1990

L6: 3 of 7

MANUFACTURE OF SEMICONDUCTOR DEVICE

INVENTOR: MAKIO IIDA
ASSIGNEE: NIPPON DENSO CO LTD, et al. (50)
APPL NO: 63-208021
DATE FILED: Aug. 24, 1988
PATENT ABSTRACTS OF JAPAN
ABS GRP NO: E0927
ABS VOL NO: Vol. 14, No. 225
ABS PUB DATE: May 14, 1990
INT-CL: H01L 27/04; H01L 21/3205

ABSTRACT:

PURPOSE: To constitute an Si-**Cr** thin film resistor in the manner in which the degree of integration is effectively increased by laminating and forming, on an insulating layer, the Si-**Cr** thin film resistor layer and a thin film capable of setting an etching selection ratio to the resistor layer, and forming a wiring layer of Al-Si alloy so as to partially overlap on the above thin film.

CONSTITUTION: On the main surface of a semiconductor substrate 11 on which an active element region is formed, an insulating layer 18 is formed, on which an Si-**Cr** system thin film resistor layer 19 is formed. A thin film layer 20 capable of setting an **etching** ratio to the thin film **resistor** layer 19 is formed so as to be stacked on the thin film resistor layer 19. In the state that a contact **hole** is formed, and the terminal part of the thin film resistor layer 19 is contained, a wiring layer 21 of an Al-Si thin film is formed on the insulating layer 18. After that, Si is eliminated from Al-Si of the wiring layer 21 by **etching**, and the thin film **resistor** layer 19 is electrically connected by the Al wiring layer wherein Si is eliminated by etching. For example, a thin film layer 20 which is to be laminated on the above thin film resistor layer 19 is constituted by using an oxide film layer formed by oxidizing the thin film resistor layer 19.

⑤ 日本国特許庁(JP) ⑥ 特許出願公開
 ⑦ 公開特許公報(A) 平2-58259

⑧ Int. Cl.³
 H 01 L 27/04
 21/3205

識別記号 庁内整理番号
 P 7514-5F

⑨ 公開 平成2年(1990)2月27日

6824-5F H 01 L 21/83 H
 審査請求 未請求 請求項の枚数 8 (全8頁)

⑩ 発明の名称 半導体装置の製造方法

⑪ 特 願 昭63-208021

⑫ 出 願 昭63(1988)8月24日

⑬ 発 明 者 飯 田 真 喜 男 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内
 ⑭ 出 願 人 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地
 ⑮ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 絶縁素子領域の形成された半導体基板の
 主要面上に絶縁層を形成する工程と、

この工程で形成された絶縁層上に、SiCr
 系導膜抵抗体層を形成する工程と、

上記導膜抵抗体層に重ねて、この導膜抵抗体
 とエッチング選択比のとれる導膜層を形成する工
 程と、

コンタクトホールを形成した状態で且つ上記
 導膜抵抗体層のターミナル部を含む状態で、上記
 絶縁層上にAl-Si導膜による配線層を形成す
 る工程と、

上記配線層のAl-SiからSiを除去する
 エッチング工程とを具備し、

上記Siのエッチング除去されたAl配線層
 により、上記導膜抵抗体層が電気的に接続される

ようにしたことを特徴とする半導体装置の製造方
 法。

(2) 上記導膜抵抗体層に設けられる導膜
 層は、上記導膜抵抗層を酸化した酸化膜層によっ
 て構成され、上記エッチング工程によって配線層
 のSiを除去後にAlシンターを行ない、上記配
 線層と導膜抵抗体層との間の上記酸化膜層は、
 Alによって還元され、配線層と導膜抵抗体層と
 の間の電気的導通状態が設定されるようにしたこ
 とを特徴とする特許請求の範囲第1項記載の半導
 体の製造方法。

(3) 上記導膜抵抗体層に設けられる導膜
 層は純Alによって構成され、上記エッチング工
 程によって配線層のSiを除去後に上記導膜抵抗
 体層上に高出される状態で残ったAlをエッチン
 グ除去し、Alシンターを行なうようにしたこと
 を特徴とする特許請求の範囲第1項記載の半導体
 装置の製造方法。

(4) 上記薄層抵抗体層に図層形成される薄層層はTlWによって構成され、上記エッチング工程によって配線層のSiを除去後に上記薄層抵抗体層上に露出される状態で残ったTlW層をエッチング除去するようにしたことを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(5) 能動素子領域の形成された半導体基板の主表面上に絶縁層を形成する工程と、

この絶縁層上に、抵抗体導出部に対応して融点1000度以上の高融点金属材料からなる金属薄層層を形成する工程と、

上記金属薄層層に図層されるようにして、Si-Cr薄層抵抗体層を形成する工程と、

この薄層抵抗体層を含み上記絶縁層上に絶縁体層を形成する工程と、

この絶縁体層に、上記金属層に至るコンタクトホールを形成する工程とを具備し、

このコンタクトホールを含みAlを含む金属配線層を形成し、この配線層と上記金属層とが電

氣的に接続されるようにしたことを特徴とする半導体装置の製造方法。

(6) 上記高融点金属材料は、TlWでなる特許請求の範囲第5項記載の半導体装置の製造方法。

(7) 能動素子領域の形成された半導体基板上に絶縁層を形成する工程と、

この絶縁層上に、上記能動素子の素子ターミナル部にコンタクトホールを介して電気的に接続されるようにした第1の配線層を形成する工程と、

この第1の配線層部を含む上記絶縁層上に、上記配線層を一部露出させるコンタクトホールを形成した層間絶縁層を形成する工程と、

この層間絶縁層上に、この層間絶縁層に形成したコンタクトホール部を含む状態で、Si-Cr系薄層抵抗体層を形成する工程と、

この薄層抵抗体層上を含みSiを1%以上含まないAlからなる第2の配線層を形成する工程とを具備し、

この第2の配線層の一部を除去し、上記層間絶縁層上のSi-Cr系薄層抵抗体層のみによる薄層抵抗が形成されるようにしたことを特徴とする半導体装置の製造方法。

(8) 上記第1の配線層はAl-Siでなり、第2の配線層はAlでなる特許請求の範囲第7項記載の半導体装置の製造方法。

3. 発明の詳細な説明

【産業上の利用分野】

この発明は、Si-Cr系の薄層抵抗体が形成された、特に半導体集積回路のチップ上に物理的に薄層抵抗体が層形成できるようにする半導体装置の製造方法に関する。

【従来の技術】

半導体集積回路装置にあっては、半導体基板面に適宜能動素子を形成すると共に、半導体基板の主表面上に絶縁層を形成し、この絶縁層上にコン

タクトホールを介して上記能動素子の端子部に接続されるようにしたAl配線層を形成するようにしている。この場合、上記絶縁層上には配線層に適宜接続されるようにして抵抗体が適宜形成され、能動素子と共に回路装置を構成するようにしている。

この抵抗体としては、従来よりSi-Cr系薄層抵抗体が、シート抵抗が高く且つ抵抗の温度係数(TCR)が小さいものであるため多く使用されるもので、特に抵抗度の高いLSIやICに適用する薄層抵抗として用いられている。

しかし、抵抗度の高いLSI等を構成する場合、配線層としてAl-Siが用いられるようになり、Si-Cr系薄層抵抗体層とAl-Si配線層とが図層された状態で、ドライエッチングによるAl-Si配線のSiを除去する工程において、Si-Cr系薄層までもエッチングされるようになり、薄層抵抗体層を正確に形成することが困難となる。

【発明が解決しようとする課題】

この発明は上記のような点に重みなされたもので、異質度が効果的に向上されるように、Si-Cr系薄膜抵抗試体を形成することができるようにするものであり、特にA₁-SiあるいはA₁-Si-Cr等の合金配層を用いた異質回路装置において、Si-Cr系薄膜抵抗試体が安定した状態で重質化できるようにした半導体装置の製造方法を提供しようとするものである。

【課題を解決するための手段】

まず第1の発明に係る半導体装置にあっては、移動電子領域を有する半導体基板の主表面上に絶縁層を形成すると共に、この絶縁層上にSi-Cr系薄膜抵抗試体層およびこの抵抗試体層とエッチング選択比のとれる酸化膜あるいは純A₁による薄膜を被層形成し、これに一部重なるようにしてA₁-Si合金による配線層を形成する。そして、この配線層からSiをエッチング除去させるようにする。

層の下の層が形成されるようにする。

【作用】

すなわち、上記のような半導体装置の製造方法のそれぞれにおいては、Si-Cr系薄膜抵抗試体層と直接接触される状態でA₁-Si合金による配線層が形成され、この配線層のSiをエッチング除去することがないものであるため、このSiのドライエッチング時においてSi-Cr系薄膜抵抗試体までもエッチング除去されることがない。したがって、ICあるいはLSI等の異質回路装置を形成するに際して、安定した状態でSi-Cr系薄膜抵抗試体が異質化できるものであり、半導体回路装置の異質度が著しく且つ実質に向上できるようにするものである。

【発明の実施例】

以下、図面を参照してこの発明の一実施例を説明する。まず第1図に示されるようなP-型の半導体基板11の主表面に、500Åの酸化膜を形

また第2の発明にあっては、上記半導体基板主表面に形成された絶縁層上に高融点金属からなる金属薄膜層を形成し、この金属薄膜層に一部被層されるようにしてSi-Cr系薄膜抵抗試体層を形成し、その上を絶縁体層で覆うようにする。そして、この絶縁体層に上記金属薄膜層に至るコンタクトホールを形成し、このコンタクトホールを介して電気的に接続されるようにしてA₁を含む配線層を形成させるようにする。

さらに第3の発明にあっては、半導体基板の主表面上に形成された絶縁層上に、上記半導体基板に形成された移動電子に接続されるようにして、例えばA₁-Si合金からなる第1の配線層を形成すると共に、この第1の配線層上に層間絶縁層を形成し、この層間絶縁層上にコンタクトホールを介して上記第1の配線層に接続されるようにしてSi-Cr系薄膜抵抗試体を形成する。そして、この薄膜抵抗試体を覆うようにしてSiを1%以上含まないA₁による第2の配線層を形成し、この第2の配線層の一部を除去して上記薄膜抵抗試体の

成し、その後LPCVD法によって窒化シリコン膜を900Åの厚さで形成する。この窒化シリコン膜の一部は、ホトエッチングにより除去されるもので、この窒化膜の除去部分にイオン注入法を用いてボロン原子を注入し、Pチャンネルストップ12を形成する。このようにボロン原子が注入されたならば、拡散炉を用いて酸化雰囲気中で酸化して、9000Åのフィールド酸化膜13を形成する。

このようにしてフィールド酸化膜13が形成されたならば、この酸化膜13部分を除いて存在する窒化シリコン膜、およびその下の500Åの酸化膜を除去し、その後HCl酸化法によってその除去部分を酸化してゲート酸化膜14を形成する。

次に、LPCVD法により上記ゲート酸化膜上に4000Åの厚さでポリシリコン膜を形成し、1000℃の拡散炉でPOC₂H₅を用いた気相拡散によって、ポリシリコン膜中にリンを拡散する。そして、N型低抵抗ポリシリコン膜を形成し、ホトエッチングによりMOSトランジスタのゲート

電極15を形成する。

このようにゲート電極15が形成されたならば、この電極15をストッパとしてセルフアライメント方式でイオン注入し、半導体基板11の表面部にN⁺型のソース16およびドレイン17を形成する。そして、上記ゲート電極15を含む酸化膜13および14上に、BPSGによる絶縁膜18をCVD法により形成し、N₂雰囲気中で900℃でリフローする。

このようにBPSGリフローによる絶縁膜18が形成されたならば、この絶縁膜18上にスパッタ法を用いてSi-Cr膜を200Åの厚さで形成し、その後HF系のエッチング液を用いたホットエッチングにより所定の形状のSi-Cr系薄膜抵抗体層19を形成する。薄膜抵抗体層19が形成されたならば、これを500℃のO₂雰囲気中でこの薄膜抵抗体層19を酸化し、その表面にSi-O結合を含んだ酸化膜層20を、約50Åの厚さに形成し、薄膜抵抗体層19との積層構造とする。

次に、第2図で示すようソース16およびドレ

イン17に対応して絶縁膜18にコンタクトホールを形成し、その後A₁-Si合金材料による配線層21を形成する。この配線層21は、A₁-Si薄膜をエッチングすることにより所定の形状とされるもので、その後CF₄-O₂ガスを用いたドライエッチングによって30秒処理し、上記A₁-Si中のSiを除去する。

このドライエッチングに際して、上記Si-Cr薄膜抵抗体層19は、薄い酸化膜層20によって覆われているため、エッチングされない。

このようにA₁-Si薄膜による配線層21が形成されたならば、A₁シンターすると、A₁配線層21とSi-Cr薄膜抵抗体層19との接触部分の薄い酸化膜層20はA₁によって還元され、相互に電気的な導通状態が設定されるようになり、薄膜抵抗体層19に配線層が接続された状態とされる。すなわち、Si-Cr薄膜抵抗体層19にA₁-Si配線を有するMOSLSIが構成されるようになる。

次に上記実施例を変形した他の実施例を、その

製造過程にしたがって説明する。まず、第1図で説明したとどようようにして、第3図で示すようにPチャンネルストッパ12、フィールド酸化膜13、さらにゲート酸化膜14を形成し、ゲート酸化膜13部分に対応してゲート電極15を形成し、これらの上側に絶縁膜18を覆う。そして、この絶縁膜18上にSi-Cr薄膜抵抗体層19を形成するものであり、この薄膜抵抗体層19の上には、2000Åの厚さで純A₁の薄膜層23を形成する。上記ゲート酸化膜14部分の半導体基板11の表面部には、ソース16およびドレイン17が形成されている。

次に第4図で示すようにソース16およびドレイン17にそれぞれ対応して絶縁膜18にコンタクトホールを形成し、その後A₁-Si合金による金属薄膜層24を1000Åの厚さでスパッタ法により形成し、さらに第5図で示すようにホットエッチング技術を用いてこの薄膜層24をエッチングして、A₁配線層21が形成されるようにする。このように配線層21が形成されたならば、この配線層21を構成するA₁-Si中のSiを除去するためのSiエ

ッチングを行ない、最後に薄膜抵抗体層19上に残って露出された状態となった純A₁の薄膜層23をウェットエッチングにより除去する。その後A₁シンターすることによって、Si-Cr薄膜抵抗体層19にA₁-Si配線のMOSLSIが得られるようになる。

このような方法によれば、Siエッチング時に純A₁の薄膜層23がバッファ層となるものであり、したがって上記薄膜抵抗体層19をエッチングすることなく、安定してA₁合金による配線を用いたLSIにSi-Cr薄膜抵抗体層19を形成化することができる。

上記第1および第2の実施例にあつては、Si-Cr系薄膜抵抗体層19の上に、この薄膜抵抗体層19とエッチング選択比のとれる薄膜として、酸化膜20あるいは純A₁薄膜層23を形成するようにしたが、その他TiWの薄膜を形成するようにしてもよい。

このような方法でSi-Cr系薄膜抵抗体層19を形成化するようにすると、特にマスク数を増加させ

ることなく、 A_1-S_1 配層を用いるときに必要とされる S_1 エッチングに際して、酸化膜、真 A_1 層膜、あるいは $T_1 W$ 層膜がバリア層となり、薄膜抵抗体層13がエッチングされることがない。したがって、安定した A_1 合金配層を用いた $L S I$ に対して、 S_1-Cr 系薄膜抵抗体が高抵抗化することができるようになるものである。

A_1-S_1 合金による配層21の中の S_1 は、 A_1 配層をウェットエッチングすると1 μm 程度の S_1 の残膜 (S_1 ノグジュール)として、エッチング後の基板表面に析出され、これは CrF_3 系のドライエッチングにより除去できる。 CrF_3 系のドライエッチングでは、 S_1 、 S_1O_2 、 A_1 、 $T_1 W$ 等ではエッチング速度が遅く、 S_1O_2 、 A_1 、 $T_1 W$ 等ではエッチング速度が速いものであるため、これらはバリアメタルとして使用できる。

これまでの実施例では、 S_1-Cr 系薄膜抵抗体の上にバフファ層を形成するようにしたものであるが、第6図に示すようにすることもできる。すなわち、この実施例にあっては電導素子領域の

形成される半導体基板の主要面に形成された絶縁層上に、融点が1000度以上の高融点金属薄膜を、薄膜抵抗体と A_1 合金配層の接合部とされる領域を含んで形成し、この高融点金属薄膜部分を含んで S_1-Cr 系薄膜抵抗体層、さらに絶縁層を形成する。そして、上記電導素子と薄膜抵抗体にそれぞれ対応してコンタクトホールを形成し、 A_1 合金配層層を形成するようにしている。

すなわち、 P 型シリコン等による半導体基板11には P 型チャンネルストップ12、フィールド酸化膜13、ゲート酸化膜14、ポリシリコンによるゲート電極15が形成され、さらに基板11には不純物の拡散によりソース16およびドレイン17領域が形成されている。

そして、上記酸化膜13上にはスパッタ法を用いて例えば $T_1 W$ による高融点金属層を1500 \AA の厚さで形成し、薄膜抵抗と A_1 配層との接合部に対応する部分をチーバエッチング技術を用いてエッチングし、高融点金属層311、312を形成する。そして、この高融点金属層311、312の相互

間に対応して厚さ200 \AA の S_1-Cr 系薄膜抵抗体層13を形成し、全体を VCD 法を用いて厚さ6000 \AA の $BP SG$ 層による絶縁層32で覆う。

そして、上記絶縁層32に電導素子領域のソース16およびドレイン17、さらに上記高融点金属層311、312に至るコンタクトホールを形成し、その後 A_1-S_1 合金による配層21を形成する。

このようにして S_1-Cr 系薄膜抵抗体を高抵抗化させるようにすれば、 A_1-S_1 合金による配層21の S_1 エッチングに際して、絶縁層32が薄膜抵抗体層13の保護層として作用するようになる。したがって、上記 S_1 エッチングによって薄膜抵抗体層13がエッチングされることがない。またコンタクトホールを形成する際に、コンタクトホールに対応する部分の薄膜抵抗体層がエッチングされても、高融点金属層311、312が存在するため、配層21-高融点金属層311、312-薄膜抵抗体層13の界面で電気的な接合状態が良好に保たれるようになり、 A_1 合金配層を用いた $L S I$ に対して、安定して S_1-Cr 系薄膜抵抗体を高抵抗化

することができるものである。

第7図乃至第12図は、さらに他の実施例を製造過程にしたがって示すもので、まず第7図に示されるように P -型半導体基板11のチャンネルストップ形成領域に、イオン注入法を用いてボロン原子を注入し、 P -型チャンネルストップ12を形成する。そして、半導体基板11の主要面上に、 $LOCOS$ 酸化法によってフィールド酸化膜13を形成し、さらに RCF 酸化法によって電導素子領域に対応してゲート酸化膜14を形成する。

次に、 $LCVD$ 法により4000 \AA の厚さでポリシリコン膜を形成し、1000度の拡散炉において $POCl_3$ を用いた気相拡散によって、ポリシリコン中にリンを拡散して N 型低抵抗ポリシリコン層を形成する。そして、これをホトエッチングによりエッチングすることにより、第8図に示すように MOS トランジスタのゲート電極15を形成する。

このようにポリシリコンによるゲート電極15が形成されたならば、このゲート電極15をストップ

としたセルフアライメント方式によって、イオンを注入する。このイオン注入によって N^+ 型のソース18およびドレイン17が形成されるもので、その後BPSG膜をCVD法により形成し、900°Cでの N_2 中でリフローすることにより絶縁膜18を形成する。

このように絶縁膜18が形成されたならば、第9図に示すようにソース18およびドレイン17の形成領域に対応してコンタクトホールを形成し、スパッタ法を用いて1%のシリコンを含んだA膜金属層を形成し、ホットエッチングによってエッチングすることによって、第1の配線層41を形成する。

このように第1の配線層41が形成されたならば、第10図に示すようにプラズマCVD法を用いて、1 μ mの厚さで層間パッシベーション膜42を形成するもので、この層間パッシベーション膜42には第1の配線層41に至るスルーホール43を形成する。

次に、第11図に示すようにスパッタ法を用いて、200Åの厚さでSi-Cr系薄膜抵抗層19を、上記スルーホール43部を含み層間パッシベ-

ーション膜42上に形成し、さらに薄膜抵抗体層19の上に純A膜による第2の配線層44を連続スパッタにより形成する。

そして、第12図に示すように配線パターンを用いたホットエッチング工程により配線領域以外のA膜をリン酸系エッチング液によって除去して第2の配線層44が完成される。その後Si-Cr系薄膜抵抗体層19のパターンを用いたホットエッチングによって、フッ酸系エッチング液を用いて露出している薄膜抵抗体層の中で、抵抗体として使用しない部分を除去する。

その後、さらに450°Cで30分間A膜シンターを行なうことにより、A部分にMOSトランジスタを、B部にSi-Cr系薄膜抵抗体をそれぞれ形成するようにした2層配線のLSIが形成されるようになる。

このような製造方法によると、A膜配線層を用いるLSIにおいて、第2層の配線層に、Siが少なくとも1%を超えることのない純A膜を用いることによって、ホットエッチング工程を1回追加

するのみで、Si-Cr系薄膜抵抗体に損傷を与えることなく、安定した状態でSi-Cr系薄膜抵抗体を重質化したMOSLSIが構成できるものである。

ここで、第2層のA膜配線層44を構成するA膜に、Siが1%以上含有された状態となると、高温では溶解できない過剰Siが、Siノジュールとして析出される。このため、CF₄系を用いたドライエッチングでこれを除去する必要があり、A膜-Si合金による配線をSi-Cr系薄膜抵抗体の電極材料として用いることができなくなる。

【発明の効果】

以上のようにこの発明に係る半導体装置の製造方法によれば、シート抵抗が高く且つ抵抗の温度係数が小さい性質を有するSi-Cr系薄膜抵抗体を、安定した状態でICやLSIに重質化できるものであり、この場合A膜-Si合金による配線を用いるようにしても、この配線の処理時に上記薄膜抵抗体に対して損傷を与えることが

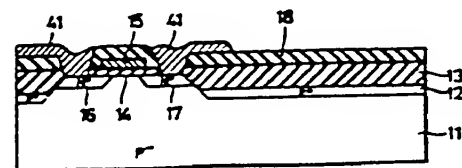
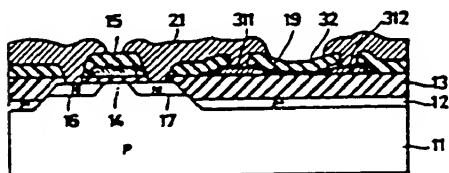
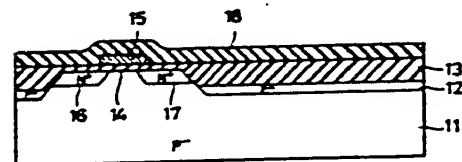
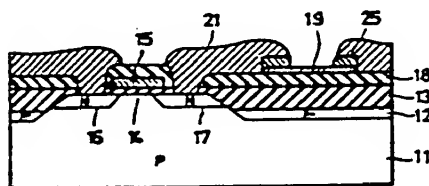
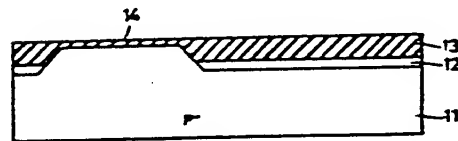
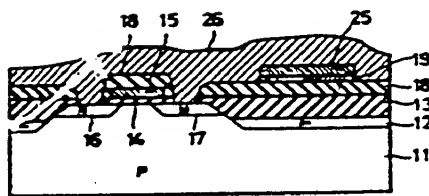
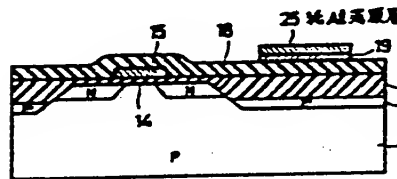
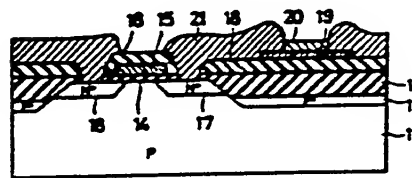
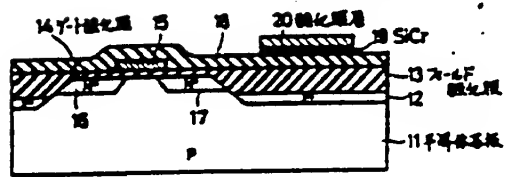
ないものである。すなわち、A膜配線を用いたCMOSLSI、バイポーラLSI、インテリジェントパワーIC、BiCMOSLSI等の全てのデバイスに対して、効果的にSi-Cr系薄膜抵抗体を重質化することができるようになるものである。

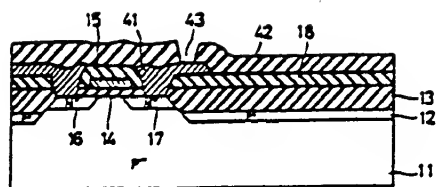
4. 図面の簡単な説明

第1図および第2図はこの発明の一実施例に係る半導体装置の製造方法を順次説明するための断面構成図、第3図乃至第5図はこの発明の他の実施例の製造過程を順次説明するための断面構成図、第6図はこの発明のさらに他の実施例を説明する断面構成図、第7図乃至第12図はそしてさらに他の実施例の製造過程を順次説明する断面構成図である。

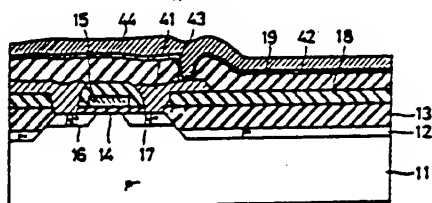
11…半導体基板、12…P型チャンネルストップ、13…フィールド酸化膜、14…ゲート酸化膜、15…ゲート電極、16…絶縁膜、19…薄膜抵抗体層(Si-Cr)、20…酸化膜、21、41…A膜-Si-

31—記帳簿、33—貸入ノ簿帳簿、311、322—
高點及全頁簿帳、42—題圖パッシベーション帳、
44—記帳簿（貸入ノ）。

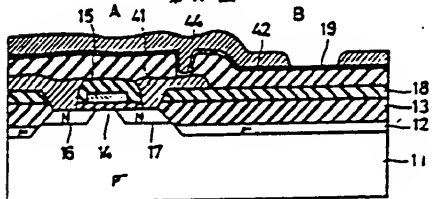




第10図



第11図



第12図